

> 99 % SPITZENWIRKUNGSGRAD MIT LOW-COST-MPPT STATT POWEROPTIMIZER

A. Neumann\*, T. Czarnecki, R. Merz  
 Hochschule Karlsruhe, Moltkestraße 30, 76133 Karlsruhe  
 \* corresponding author: Angelika.Neumann@hs-karlsruhe.de

**KURZFASSUNG** Handelsübliche Photovoltaik-Systeme (PV-Systeme) sind entsprechend ihres Einsatzgebietes unterschiedlichen Verschattungsszenarien ausgesetzt. Verschattungsszenarien für PV-Module ergeben sich häufig durch ortsfeste Objekte, wie Bäume, Schornsteine oder ähnliches in ihrer Umgebung. Durch den Tageslauf der Sonne ist eine Modulverschattung jedoch meistens nur temporär. Verschattete PV-Module innerhalb eines PV-Strangs, aus mehreren Modulen in Reihe, reduzieren den Strangstrom  $I_{St}$  und damit die gesamte Strangleistung  $P_{St}$ . Bisherige Lösungen wie Bypass-Dioden ( $D_{BP}$ ) oder modulbasiertes Maximum Power Point Tracking (MPPT) reduzieren den Leistungsverlust bedingt durch Teilverschattung. Aktivierte Bypass-Dioden ermöglichen den maximalen Strangstrom, jedoch gibt das verschattete Modul keine Leistung mehr ab. Modulwechselrichter und heutige Poweroptimizer betreiben jedes Modul dauerhaft und individuell am Arbeitspunkt maximaler Leistung (MPP). Der dauerhafte Betrieb verlangt eine wirkungsgradoptimierte und daher teure Leistungselektronik [1].

Der Low-Cost Maximum Power Point Tracker (*LCMPPT*) betreibt einzelne PV-Module nur im Falle einer Teilverschattung in ihrem individuellen MPP und erhöht somit die gesamte Strangleistung  $P_{St}$  gegenüber dem Einsatz einer Bypass-Diode [1]. Verschwindet die Modulverschattung, ist der betreffende *LCMPPT* inaktiv und vermeidet unnötige Verluste. Die globale MPP-Suche des Strangwechselrichters aktiviert den *LCMPPT* bei Teilverschattung und erfordert keine zusätzliche Kommunikation zwischen den Modulen innerhalb eines PV-Strangs. Der temporäre Betrieb des *LCMPPT* ermöglicht eine kostenoptimierte Leistungselektronik und reduziert die Systemkosten ohne auf individuelles MPPT bei Teilverschattung zu verzichten.

**1. EINLEITUNG**

Eine verbreitete Methode zur Reduzierung der Leistungsverluste durch Teilverschattung bei PV-Systemen ist der Einsatz von Bypass-Dioden  $D_{BP}$ . Bild 1 zeigt die Leistung  $P_{MX}$  eines PV-Moduls  $M_X$  ohne, bzw. die Leistung  $P_{MY}$  eines Moduls  $M_Y$  mit 50 % Verschattung, sowie die Strangleistung  $P_{StX}$  eines PV-Stranges aus drei Modulen in Reihe ohne Verschattung bzw. die Strangleistung  $P_{StY}$  als Reihenschaltung eines zu 50 % verschatteten Moduls  $M_Y$  und zwei unverschatteten Modulen  $M_X$ . Die Module  $M_X$  und  $M_Y$  besitzen jeweils Bypass-Dioden. Wird das Modul  $M_Y$  verschattet, sinkt die maximale Strangleistung  $P_{StY,MPP}$  und der Strangwechselrichter aktiviert die Bypass-Diode  $D_{BP,MY}$  des Moduls  $M_Y$ .

Die aktive Bypass-Diode  $D_{BP,MY}$  betreibt das Modul  $M_Y$  nahezu im Kurzschluss (SC) mit der Modulspannung  $V_{MY} \approx 0$  V und dem Kurzschlussstrom  $I_{SC,MY}$ . Der Strom  $I_{BP,MY}$  der Bypass-Diode  $D_{BP,MY}$  erhöht den Strangstrom  $I_{St} = I_{BP,MY} + I_{SC,MY}$ . Modul  $M_Y$  gibt keine Leistung  $P_{MY} = V_{MY} I_{MY} \approx 0$  W mehr ab und die maximale Strangleistung  $P_{StY,MPP} < P_{StX,MPP}$  sinkt. Ohne aktive Bypass-Diode  $D_{BP,MY}$  bedingt die Reihenschaltung  $I_{MX} = I_{MY} = I_{St}$ , weshalb es nicht möglich ist individuell die Module  $M_X$  bei MPP-Spannung  $V_{MX,MPP}$  und  $M_Y$  bei MPP-Spannung  $V_{MY,MPP}$  zu betreiben. Der Strang erreicht die theoretisch maximale Leistung  $P_{StY,MPP,theor.} = P_{MY,MPP} + 2P_{MX,MPP}$  als Summe der MPP-Modulleistungen  $P_{MY,MPP} = P_{MY}(V_{MY,MPP})$  und  $P_{MX,MPP} = P_{MX}(V_{MX,MPP})$  nicht. Es ergibt sich ein Leistungsverlust  $\Delta P = P_{StY,MPP,theor.} - P_{StY,MPP}$  durch kurzschließen verschatteter Module.

Der *LCMPPT* minimiert den Leistungsverlust  $\Delta P$  durch den Betrieb des teilverschatteten Moduls  $M_Y$  in seinem individuellen MPP bei  $V_{MY} = V_{MY,MPP} > 0$  V ohne den maximalen Strangstrom  $I_{StY} = I_{StX} = I_{St}$  zu limitieren. Die maximale Strangleistung erhöht sich um die Leistung  $P_{MY,MPP}$  des verschatteten Moduls  $M_Y$  und erreicht die theoretisch mögliche Leistung  $P_{StY,MPP,theor.}$  unter Vernachlässigung der Verluste des *LCMPPT* [1], [3].

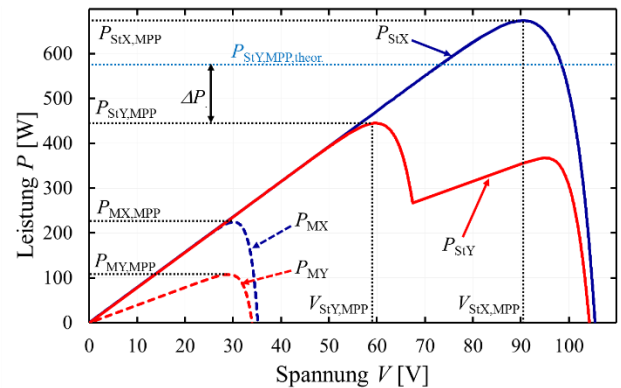


Bild 1: P-V Kennlinien eines PV-Moduls mit  $P_{MY}$  bei 50 % bzw.  $P_{MX}$  bei 100 % Einstrahlung. Strangleistung  $P_{StX,MPP} = 3 P_{MX,MPP}$  als Reihenschaltung von drei Modulen  $M_X$ , Strangleistung  $P_{StY,MPP} = 2 P_{MX,MPP}$ .  $P_{StY,MPP}$  erreicht theoretisch mögliche Leistung  $P_{StY,MPP,theor.} > P_{StY,MPP}$  nicht.

Das Kapitel *LCMPPT* stellt die Topologie des *LCMPPT* dar und erläutert wie der *LCMPPT* verschattete PV-Module, ohne Kommunikation zwischen den Modulen innerhalb eines Strangs, individuell im MPP betreibt. Kapitel *UMSETZUNG* erklärt den realen Schaltungsaufbau und integriert MOSFETs als aktive Schalter für eine verschattungsabhängige Regelung durch einen MPPT-Algorithmus. Ein Mikrocontroller ( $\mu C$ ) für die Ansteuerung des MOSFETs, sowie ein MOSFET-Treiber ergänzen den *LCMPPT*. Im Betrieb auftretende Verlustleistungen  $P_{V,LCMPPT}$  erwärmen einzelne Bauteile des *LCMPPT* und reduzieren deren Lebensdauer. Neben der Optimierung der Kosten ist daher  $P_{V,LCMPPT}$  zu berücksichtigen, um die Alterung der Bauteile zu minimieren. Die Kapitel *VERLUSTBERECHNUNG* und *BAUTEILAUSLEGUNG* befassen sich mit der Entstehung der Verluste  $P_{V,LCMPPT}$  und erklären kostengünstige Maßnahmen zur Optimierung des *LCMPPT* bezüglich  $P_{V,LCMPPT}$  zur Wirkungsgradsteigerung.

## 2. LCMPTT

Der *LCMPPT* basiert auf der Topologie eines Tiefsetzstellers [1]. Bild 2 ersetzt für ein Modul  $M_Y$  die Bypass-Diode  $D_{BP,MY}$  durch den *LCMPPT*. Bei Verschattung aktiviert die globale MPP-Suche des Strangwechselrichters die Diode  $D_{MY}$  des *LCMPPT* samt MPP-Tracking-Algorithmus analog zur Funktion der Bypass-Diode [3]. Das pulsweitenmodulierte (*PWM*) Signal eines  $\mu C$  öffnet den Schalter  $SW_{MY}$  für die Dauer  $T_{off}$  und schließt ihn für die Dauer  $T_{on}$  mit dem duty cycle  $d = T_{on} / (T_{on} + T_{off})$  und regelt den Modulstrom  $I_{MY} = I_{MY,MPP} = d I_{St}$ . Das Modul  $M_Y$  arbeitet bei optimalem duty cycle  $d = d_{MPP}$  an seinem MPP bei der Spannung  $V_{MY} = V_{MY,MPP} > 0$  V und gibt die maximale Leistung  $P_{MY,MPP} = d_{MPP} I_{St} V_{MY,MPP}$  ab. Die Kapazität  $C_{MY,1}$  puffert  $I_{MY}$  während  $T_{off}$ , die Kapazität  $C_{MY,2}$  filtert den Stromrippel der Induktivität  $L_{MY}$  an den Ausgangsklemmen des *LCMPPT*. Ohne Verschattung ist der *LCMPPT* inaktiv und der Schalter  $SW_{MY}$  durch  $d = 100\%$  dauerhaft geschlossen. Ohne Schaltverluste minimieren sich die Verluste des inaktiven *LCMPPT* auf die Leitungsverluste der Induktivität  $L_{MY}$  und des Schalters  $SW_{MY}$ . Das Modul  $M_Y$  liefert den Strangstrom  $I_{MY} = I_{St}$  [3].

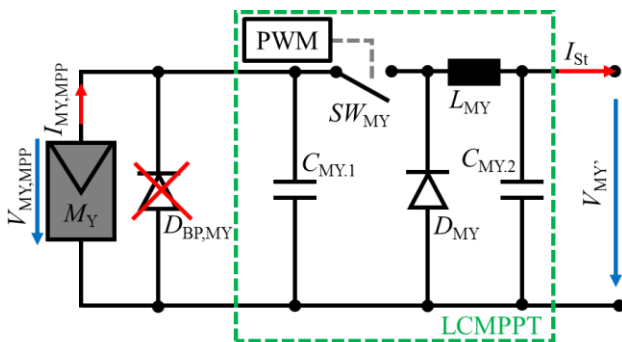


Bild 2: Verschattetes Modul  $M_Y$  mit *LCMPPT* in Tiefsetzsteller-Topologie anstelle  $D_{BP,MY}$ . *PWM*-Signal gleicht  $I_{MY} = I_{MY,MPP} = d I_{St}$  über den duty cycle  $d$  an. Betrieb  $M_Y$  bei  $V_{MY} = V_{MY,MPP}$  möglich.

## 3. UMSETZUNG

Gängige Tiefsetzsteller verwenden als Schalter einen spannungsgesteuerten Transistor (n-Kanal MOSFET) im positiven Spannungspfad, auf der „High-Side“ (HS). Um den Transistor einzuschalten lädt ein Gatestrom die Gatekapazität  $C_{GS}$  auf ein positives Gatepotential  $\varphi_G > \varphi_S$  gegenüber dem Sourcepotential  $\varphi_S$  auf. Leitet der Transistor steigt das Sourcepotential  $\varphi_S = \varphi_D$  auf das Drainpotential  $\varphi_D$  an. Eine Bootstrapschaltung mit Speicherkapazität gleicht Entladeverluste der Gatekapazität aus, erhöht das Gatepotential  $\varphi_G > \varphi_D$  und hält den Potentialunterschied  $\varphi_G > \varphi_S$  somit aufrecht [4]. Selbstenladung der Speicher- und Gatekapazität verhindert ein dauerhaftes Einschalten des n-Kanal MOSFETs bei  $d = 100\%$ . Der Einsatz von p-Kanal-MOSFETs löst das Problem, erhöht jedoch die Verluste der Schaltung. Auf Grund der höheren Beweglichkeit von Elektronen im Vergleich zu Löchern erreichen n-Kanal-MOSFETs kleinere Widerstandswerte  $R_{DS,on,MOS}$  im leitenden Zustand, sowie kleinere Gatekapazitäten  $C_{GS}$  als ein p-Kanal-MOSFET gleicher Größe und die Verluste sinken [6], [5].

Bild 3 führt den *LCMPPT* als synchron schaltenden Tiefsetzsteller aus und minimiert die Verluste durch die

Diode  $D_{MY}$ . Der *LCMPPT* ersetzt die Diode  $D_{MY}$  durch einen n-Kanal Freilauftransistor (F-MOS) und den Schalter  $SW_{MY}$  durch einen n-Kanal Schalttransistor (S-MOS). Der S-MOS und die Induktivität  $L_{MY}$  sind in den negativen Spannungspfad, der „Low-Side“ (LS) des PV-Moduls  $M_Y$  integriert.

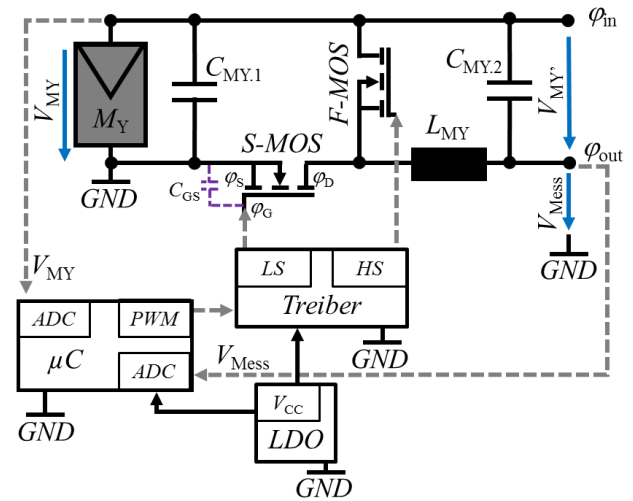


Bild 3: *PWM*-Ansteuerung S-MOS und F-MOS über  $\mu C$  und Treiber.  $\mu C$  misst  $V_{MY}$  und  $V_{Mess}$  und gibt *PWM*-Signal anhängig von  $V_{MY}' = V_{MY} - V_{Mess}$  an Treiber und MOSFETs aus. Betrieb  $M_Y$  bei  $V_{MY} = V_{MY,MPP}$ . Der *MPPT* maximiert über den duty cycle  $d = V_{MY}' / V_{MY,MPP} = I_{MY,MPP} / I_{St}$  die Spannung  $V_{MY}'$  und damit die Leistung  $P_{MY,MPP}$  [3].

Die Verwendung eines n-Kanal F-MOS erfordert dabei eine Bootstrapschaltung [7]. Bei inaktivem *LCMPPT* fließt der Strangstrom  $I_{St}$  über den geschalteten S-MOS gegen *GND*-Potential. Der S-MOS benötigt zum Schalten keine Erhöhung des Gatepotentials  $\varphi_G > \varphi_D$  durch eine Speicherkapazität und ermöglicht einen nicht getakteten Betrieb mit  $d = 100\%$ . Die Bootstrap-Speicherkapazität ist bei  $d = 100\%$  dauerhaft aufgeladen und stellt jederzeit die Gate-Source-Spannung  $V_{GS,F MOS}$  zum Schalten des F-MOS bereit.

Für ein periodisches Schalten der MOSFETs erzeugt ein  $\mu C$  eine pulsweitenmodulierte Spannung  $0\text{ V} < V_{PWM} < 5\text{ V}$ . Beim Einsatz eines n-Kanal MOSFETs mit einer Schwellenspannung  $0\text{ V} < V_{th} < 5\text{ V}$  ist eine direkte Ansteuerung mit  $V_{PWM}$  möglich. Der begrenzte Ausgangstrom typischer  $\mu C$  ermöglicht jedoch nur ein langsames Umladen der Gatekapazität  $C_{GS}$  und reduziert die maximal mögliche Schaltfrequenz  $f_{PWM} = (T_{on} + T_{off})^{-1}$ . Ein Treiber mit Stromverstärkung ermöglicht höhere Schaltfrequenzen [8] und senkt damit den Wert und die Kosten der Induktivität  $L_{MY}$ . Der Treiber generiert zusätzlich aus dem *PWM*-Signal des  $\mu C$  zwei zeitlich versetzte *PWM*-Signale zur getrennten Ansteuerung des S-MOS, sowie des F-MOS.

Ein n-Kanal MOSFET benötigt zum Leiten eine Spannung  $V_{GS} = \varphi_G - \varphi_S > V_{th}$  zwischen Gate- und Sourceanschluss. Im *LCMPPT* schaltet der S-MOS gegen das negative Potential des PV-Modules, mit Bezug zu *GND*. Treiber-*GND* und Sourcepotential  $\varphi_S = \text{GND}$  des S-MOS befinden sich auf demselben Potential und dauerhaftes Einschalten mit  $d = 100\%$  ist möglich. Ein Linearregler

(LDO) mit Eingangspotential  $\varphi_{in}$  erzeugt die Betriebsspannung  $V_{CC} > V_{th} > GND$  für Treiber und  $\mu C$ . Die Ausgangsspannung  $V_{MY} = \varphi_{in} - \varphi_{out}$  des *LCMPPT* ist bei  $I_{St} = konst.$  proportional der Modulleistung  $P_{MY} = I_{St} V_{MY}$  und hat keinen Bezug zum Potential *GND*. Durch die Proportionalität dient die Ausgangsspannung  $V_{MY}$  des *LCMPPT* direkt als Regelgröße für den MPPT-Algorithmus und hat einen Wert zwischen  $\varphi_{in} - GND < V_{MY} < \varphi_{out} - GND$ . Der fehlende *GND*-Bezug verhindert eine direkte Messung des  $\mu C$  von  $V_{MY}$  mittels Analog-Digital-Wandler (ADC) [9]. Daher erfasst der  $\mu C$  die Eingangsspannung  $V_{MY}$ , sowie die Messspannung  $V_{Mess}$  über den ADC und errechnet über einen integrierten Differenzverstärker den Wert für die Ausgangsspannung  $V_{MY} = V_{MY} - V_{Mess}$ .

#### 4. VERLUSTBERECHNUNG

Der *LCMPPT* beinhaltet mehrere aktive und passive elektronische Bauteile. Dabei erzeugt ein Stromfluss durch jedes Bauteil während des Betriebes eine bestimmte Verlustleistung  $P_{V,LCMPPT}$  die zur Erwärmung des Bauteils führt. Unzulässig hohe Erwärmung beschädigt oder zerstört die Bauteile. Eine Auslegung der Bauteile des *LCMPPT* erfordert daher neben der Optimierung der Kosten auch eine Analyse der auftretenden Verluste. Das folgende Kapitel benennt die Arten und Abhängigkeiten der Verluste und geht auf Maßnahmen zur Verlustminimierung ein.

Unter Vernachlässigung der Kapazitäten am Ein- und Ausgang des *LCMPPT* setzen sich die Verluste  $P_{V,LCMPPT} = P_{V,LMY} + P_{V,MOS}$  des *LCMPPT* im Wesentlichen aus den Verlusten der Induktivität  $P_{V,LMY}$  und der MOSFETs  $P_{V,MOS}$  zusammen. Dabei sind die Verluste in die Leitungsverluste  $P_{COND} = P_{V,LMY} + P_{COND,MOS}$  der Induktivität  $P_{V,LMY}$  und der MOSFETs  $P_{COND,MOS}$ , sowie den Schaltverlusten  $P_{SW,MOS} = P_{V,MOS} - P_{COND,MOS}$  der MOSFETs zu unterteilen.

Der Direct-Current-Widerstand  $DCR_{LMY}$  der Induktivität  $L_{MY}$  und der Leitungswiderstand  $R_{DS,on,MOS} = R_{DS,on,SMOS} + R_{DS,on,FMOS}$  des S- und des F-MOS verursachen mit dem Strom quadratisch steigende ohmsche Leitungsverluste  $P_{COND} = (DCR_{LMY} + R_{DS,on,MOS}) I_{St}^2$ . Sie sind näherungsweise unabhängig von der Schaltfrequenz  $f_{PWM}$ .

S-MOS und F-MOS verursachen bei  $d < 100\%$  Schaltverluste  $P_{SW,MOS} = P_{SW,SMOS} + P_{SW,FMOS}$ . Sie sind abhängig von der Schaltfrequenz  $f_{PWM}$  und steigen mit höheren Frequenzen  $f_{PWM}$ . Die Funktion der MOSFETs bestimmt maßgeblich die dominierenden Verlustmechanismen. Für den Schalttransistor S-MOS auf der Low-Side sperrt dessen Body-Diode  $D_{SMOS}$  während des Schaltvorgangs den Strom  $I_{rms,SMOS} = \Delta I + I_{St}$ , mit Stromrippel  $\Delta I \approx 0,2 I_{St}$  am Ausgang des *LCMPPT*. Es kommt zum sog. „hard-switching“ **Fehler! Verweisquelle konnte nicht gefunden werden.** Zum Schalten erfordern die parasitären Kapazitäten des S-MOS hohe Lade-  $I_{SW,on,Treiber}$  und Entladeströme  $I_{SW,off,Treiber}$  und verursachen Einschaltverluste  $P_{SW,on,SMOS}$  und Ausschaltverluste  $P_{SW,off,SMOS}$ . Die gesamten Schaltverluste

$P_{SW,SMOS} = P_{SW,on,SMOS} + P_{SW,off,SMOS} + P_{SW,OSS,SMOS}$  des Schalttransistors S-MOS berücksichtigen dabei zusätzlich die Verluste auf Grund der Ausgangskapazität  $P_{SW,OSS,SMOS}$ . Auf der High-Side übernimmt die Body-Diode  $D_{FMOS}$  des Freilauftransistors F-MOS den Strom

$I_{rms,FMOS} = \Delta I + I_{St}$  bis der F-MOS vollständig durchgeschaltet ist. Durch das sog. „soft-switching“ des F-MOS können die Ein- und Ausschaltverluste vernachlässigt werden. Die Verluste durch die Body-Diode  $P_{SW,Dir,FMOS}$  des F-MOS stellen neben den Gate-Treiberverlusten  $P_{SW,Gate,FMOS}$  und den Verlusten durch die Ausgangskapazität  $P_{SW,OSS,FMOS}$  sowie den Deadtimeverlusten  $P_{SW,Time,FMOS}$  den dominierenden Verlustmechanismus der High-Side dar. Die Schaltverluste  $P_{SW,FMOS}$  des F-MOS addieren sich zu  $P_{SW,FMOS} = P_{SW,Dir,FMOS} + P_{SW,Gate,FMOS} + P_{SW,OSS,FMOS} + P_{SW,Time,FMOS}$  [10], [11].

Weitere Kriterien für die Auslegung der aktiven Bauteile sowie der Induktivität  $L_{MY}$  sind die Leerlaufspannung  $V_{OC,MX}$  und der Kurzschlussstrom  $I_{SC,MX}$  eines unverschalteten PV-Moduls. Tabelle 1 führt die grundlegenden Eckdaten für ein handelsübliches PV-Modul einer Leistung  $P_{PV} = 250$  W aus 60 Zellen in Reihe unter Standard Test Conditions (STC) auf [12].

Tabelle 1: Eckdaten für ein handelsübliches PV-Modul mit  $P_{PV} = 250$  W aus 60 Zellen in Reihe unter STC für die Auslegung der aktiven Bauteile sowie der Induktivität  $L_{MY}$  [12].

PV-Modul Eckdaten	Wert
Leerlaufspannung $V_{OC,MX}$	37,6 V
Kurzschlussstrom $I_{SC,MX}$	8,69 A
MPP-Spannung $V_{MPP,MX}$	30,2 V
MPP-Strom $I_{MPP,MX}$	8,28 A
Leistung $P_{PV}$	250 W

#### Verlustmechanismen MOSFETs:

Um eine Vergleichbarkeit der Auslegungskriterien zu erhalten liegen für die folgenden Berechnungen jeweils die Medianwerte von 6 unterschiedlichen MOSFETs zu Grunde, welche die Anforderungen nach **Fehler! Verweisquelle konnte nicht gefunden werden.** erfüllen. Die Eigenschaften des S-MOS sind demnach identisch mit denen des F-MOS. Anhang 1 führt die entsprechenden Werte auf.

Für die Berechnung der Verluste sind Rahmenparameter größer der maximal auftretenden Betriebsbedingungen anzunehmen, um eine Überbelastung der Bauteile in jeden Betriebspunkt auszuschließen. Falls nicht anderweitig angegeben liegen den folgenden Berechnungen die Rahmenparameter aus Tabelle 2 zu Grunde.

Tabelle 2: Rahmenparameter für die Berechnungen bezüglich der Verlustleistung  $P_{V,LCMPPT}$  des *LCMPPT*.

Parameter	Wert
Strangstrom $I_{St}$	10 A
PV-Spannung $V_{PV}$	38 V
Duty cycle $d$	50 %
Stromrippel $\Delta I$	$0,17 I_{St}$
Spannungsrippel $\Delta V$	$0,01 V_{MY}$

Bild 4 zeigt die Leitungsverluste  $P_{COND,MOS}$  der MOSFETs, sowie deren Schaltverluste  $P_{SW,MOS}$  und die Gesamtverlustleistung  $P_{V,MOS} = P_{COND,MOS} + P_{SW,MOS}$  in Abhängigkeit der Schaltfrequenz  $f_{PWM}$ . Die Schaltverluste

$P_{SW,MOS} = P_{SW,SMOS} + P_{SW,FMOS}$  sind für die beiden MOS-FETs getrennt in  $P_{SW,SMOS}$  des S-MOS und  $P_{SW,FMOS}$  des F-MOS aufgetragen. Für gleiche  $R_{DS,on,SMOS} = R_{DS,on,FMOS}$  von S-MOS und F-MOS gilt  $P_{COND,SMOS} = P_{COND,FMOS} = 2 P_{COND,MOS}$  unabhängig von  $f_{PWM}$ . Mit steigender Schaltfrequenz  $f_{PWM} > 60$  kHz dominieren die Schaltverluste  $P_{SW,MOS} > P_{COND,MOS}$  über die Leitungsverluste  $P_{COND,MOS}$ . Der Einfluss der Schaltfrequenz  $f_{PWM}$  auf die Schaltverluste  $P_{SW,SMOS}$  des S-MOS zeigt sich dabei schon bei geringeren Frequenzen wie für  $P_{SW,FMOS}$  des F-MOS. Die Schaltverluste  $P_{SW,SMOS}$  des S-MOS übersteigen die Leitungsverluste  $P_{COND,MOS}$  ab Frequenzen  $f_{PWM} > 80$  kHz, während die Schaltverluste  $P_{SW,FMOS}$  des F-MOS erst ab  $f_{PWM} > 200$  kHz größer als die Leitungsverluste  $P_{COND,MOS}$  werden. Entsprechend des Verlustverhaltens erfordern S-MOS und F-MOS eine Optimierung bezüglich unterschiedlicher Parameter.

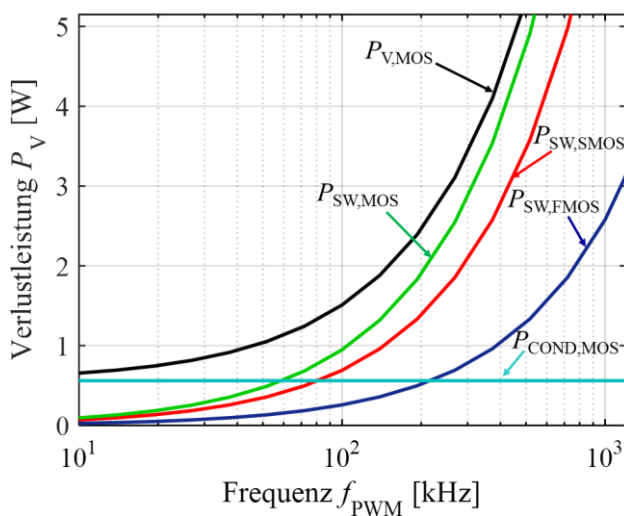


Bild 4: Schaltverluste  $P_{SW,MOS} = P_{SW,SMOS} + P_{SW,FMOS}$  des S-MOS und F-MOS, sowie deren Leitungsverluste  $P_{COND,MOS}$  und Gesamtverlustleistung  $P_{V,MOS} = P_{COND,MOS} + P_{SW,MOS}$  in Abhängigkeit der Schaltfrequenz  $f_{PWM}$ .  $P_{COND,MOS}$  ist unabhängig von  $f_{PWM}$ . Mit steigender Schaltfrequenz  $f_{PWM} > 60$  kHz dominieren die Schaltverluste  $P_{SW,MOS} > P_{COND,MOS}$ . Der Einfluss der Schaltfrequenz  $f_{PWM}$  auf  $P_{SW,SMOS}$  des S-MOS zeigt sich dabei schon bei geringeren Frequenzen wie für  $P_{SW,FMOS}$  des F-MOS.

#### Schalttransistor S-MOS:

Auf der Low Side sperrt die Body-Diode  $D_{SMOS}$  während des Schaltvorgangs.

Bild 5 zeigt die vorrangigen Verlustmechanismen beim Schalten des S-MOS abhängig von der Schaltfrequenz  $f_{PWM}$ . Für höhere Frequenzen  $f_{PWM} > 70$  kHz dominieren die Verluste  $P_{SW,on,SMOS}$  während des Einschalt- bzw.  $P_{SW,off,SMOS}$  während des Ausschaltvorgangs des S-MOS gegenüber den frequenzunabhängigen Leitungsverlusten  $P_{COND,SMOS}$ . Die Verluste auf Grund der Ausgangskapazität  $P_{SW,oss,SMOS}$  steigen nur mäßig mit  $f_{PWM}$  und können für Frequenzen  $f_{PWM} < 250$  kHz vernachlässigt werden. Die Leitungsverluste  $P_{COND,SMOS}$  sind unabhängig von der Schaltfrequenz  $f_{PWM}$ .

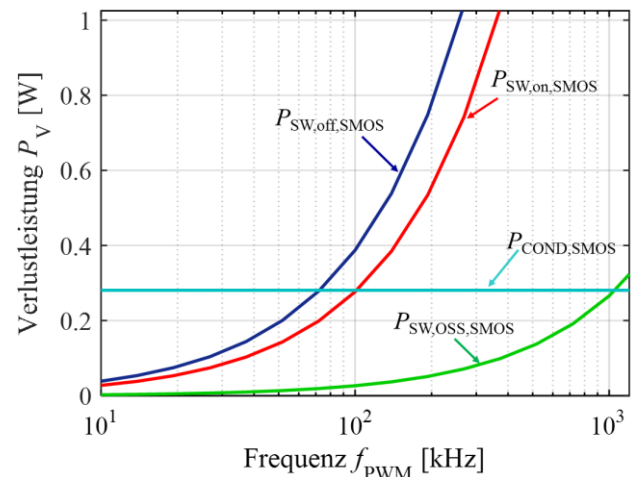


Bild 5: Verlustmechanismen beim Schalten des S-MOS abhängig von der Schaltfrequenz  $f_{PWM}$ . Für Frequenzen  $f_{PWM} > 70$  kHz dominieren die Verluste  $P_{SW,on,SMOS}$  während des Einschalt- bzw.  $P_{SW,off,SMOS}$  während des Ausschaltvorgangs des S-MOS.  $P_{SW,oss,SMOS}$  kann für Frequenzen  $f_{PWM} < 250$  kHz vernachlässigt werden.  $P_{COND,SMOS}$  ist frequenzunabhängig.

Die Verluste  $P_{SW,on,SMOS}$  während des Einschalt- bzw.  $P_{SW,off,SMOS}$  während des Ausschaltvorgangs des S-MOS werden durch verschiedene Parameter des S-MOS beeinflusst.

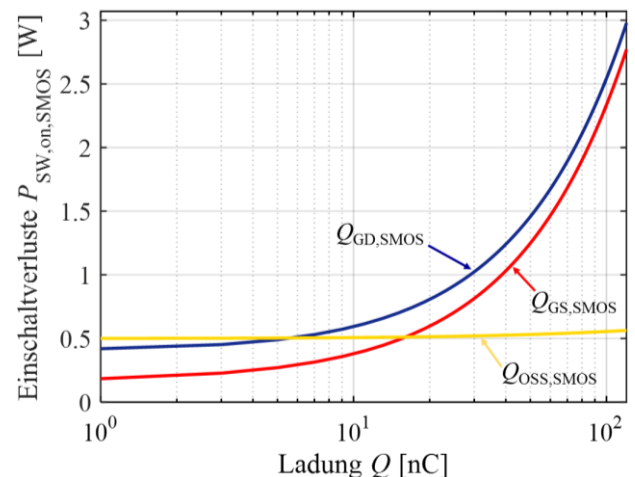


Bild 6: Einfluss der Gate-Drain-Ladung  $Q_{GD,SMOS}$ , der Gate-Source-Ladung  $Q_{GS,SMOS}$ , sowie der Ladung  $Q_{OSS,SMOS}$  der Ausgangskapazität auf die Einschaltverluste  $P_{SW,on,SMOS}$  des S-MOS. Die Verluste durch  $Q_{GD,SMOS}$  und  $Q_{GS,SMOS}$  steigen mit größeren Ladungsmengen. Die Ladung  $Q_{OSS,SMOS}$  der Ausgangskapazität ist für eine Minimierung der Verluste nicht ausschlaggebend.

Bild 6 zeigt exemplarisch die Einschaltverluste  $P_{SW,on,SMOS}$  des S-MOS bei Variation der Gate-Drain-Ladung  $Q_{GD,SMOS}$ , der Gate-Source-Ladung  $Q_{GS,SMOS}$ , sowie der Ladung  $Q_{OSS,SMOS}$  der Ausgangskapazität des SMOS. Die Einschaltverluste  $P_{SW,on,SMOS}$  steigen nicht maßgeblich für steigende Ladungsmengen  $Q_{OSS,SMOS}$  der Ausgangskapazität. Der Einfluss der Gate-Drain-Ladung  $Q_{GD,SMOS}$  auf  $P_{SW,on,SMOS}$  ist ähnlich dem der Gate-Source-Ladung  $Q_{GS,SMOS}$ , wobei der Einfluss der Gate-Source-Ladung  $Q_{GS}$  auf  $P_{SW,on,SMOS}$  deutlicher ist. Die Verluste  $P_{SW,on,SMOS}$  steigen mit zunehmenden Ladungsmengen

$Q_{GD,SMOS} \approx Q_{GS,SMOS} > 10$  nC überproportional an. Die Beziehungen für den Ausschaltvorgang des S-MOS sind analog zum Einschaltvorgang.

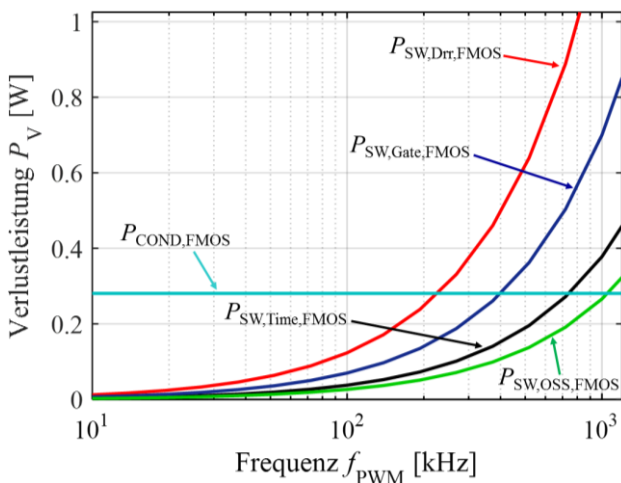
Geringe Werte für  $Q_{GD,SMOS}$  und  $Q_{GS,SMOS}$  minimieren die Schaltverluste des S-MOS, während der Wert  $Q_{OSS,SMOS}$  nicht ausschlaggebend ist.

Die Leitungsverluste  $P_{COND,SMOS}$  des S-MOS können über einen geringeren  $R_{DS,on,SMOS}$  weiter reduziert werden.

#### Freilauftransistor F-MOS:

Auf der High-Side übernimmt die Body-Diode  $D_{FMOS}$  des F-MOS den Stromfluss bis der F-MOS vollständig durchgeschaltet ist. Durch das „soft-switching“ Verhalten des F-MOS sind entsprechend andere Verlustmechanismen zu beachten.

Bild 7 zeigt die dominierenden Verlustmechanismen für den F-MOS. Alle Verlustmechanismen steigen dabei überproportional mit der Schaltfrequenz  $f_{PWM}$ . Den größten Anteil der Schaltverluste  $P_{SW,FMOS}$  verursachen die Verluste  $P_{SW,Drr,FMOS}$  der Body-Diode. Ab Frequenzen  $f_{PWM} > 250$  kHz übersteigen sie die Leitungsverluste  $P_{COND,FMOS}$ . Die Verluste  $P_{SW,Gate,FMOS}$  des Gatetreibers tragen ab  $f_{PWM} > 400$  kHz maßgeblich zu den Gesamtverlusten  $P_{SW,FMOS}$  bei. Der Einfluss auf die Schaltverluste des F-MOS für  $P_{SW,OSS,FMOS}$  durch die Ausgangskapazität sowie die Verluste durch die Deadtime  $P_{SW,Time,FMOS}$  machen sich erst ab höheren Schaltfrequenzen  $f_{PWM} > 700$  kHz bemerkbar.

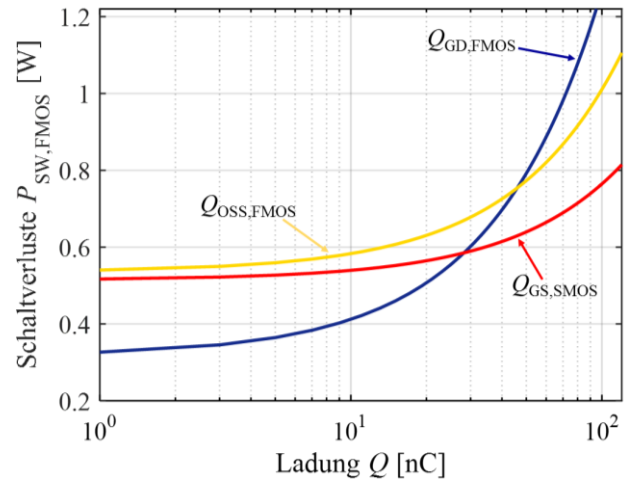


**Bild 7:** Verlustmechanismen beim Schalten des F-MOS abhängig von der Schaltfrequenz  $f_{PWM}$ . Die Verluste  $P_{SW,Drr,FMOS}$  der Body-Diode des F-MOS, sowie  $P_{SW,Gate,FMOS}$  des Gatetreibers dominieren ab  $f_{PWM} > 250$  kHz gegenüber den Leitungsverlusten  $P_{COND,FMOS}$ . Die Verluste der Ausgangskapazität  $P_{SW,OSS,FMOS}$ , sowie der Deadtime  $P_{SW,Time,FMOS}$  machen sich erst bei Frequenzen  $f_{PWM} > 700$  kHz bemerkbar.

Für die Verluste  $P_{SW,Drr,FMOS}$  ist die Reverse-Recovery-Ladung  $Q_{rr,FMOS}$  der Body-Diode des F-MOS, für  $P_{SW,Gate,FMOS}$  die Ladung  $Q_{G,FMOS}$  der Gatekapazität des F-MOS verantwortlich.

Bild 8 zeigt die Abhängigkeit der Schaltverluste  $P_{SW,FMOS}$  des F-MOS von der Ladung  $Q_{rr,FMOS}$  der Body-Diode, der Ladung  $Q_{G,FMOS}$  der Gatekapazität, sowie die Ladung  $Q_{OSS,FMOS}$  der Ausgangskapazität. Es wird deutlich, dass der Einfluss der Ladung  $Q_{rr,FMOS}$  der Body-Diode

den größten Einfluss auf die Schaltverluste  $P_{SW,FMOS}$  hat. Für geringe Werte von  $Q_{rr,FMOS}$  ergeben sich die geringsten Werte für  $P_{SW,FMOS}$ , die mit höheren Ladungsmengen  $Q_{rr,FMOS}$  ansteigen. Der Einfluss  $Q_{G,FMOS}$  der Gatekapazität, sowie der  $Q_{OSS,FMOS}$  der Ausgangskapazität ist für Werte  $Q < 10$  nC nahezu konstant. Für  $Q > 10$  nC steigt er ebenfalls an.



**Bild 8:** Einfluss der Ladung  $Q_{rr,FMOS}$  der Body-Diode, der Ladung  $Q_{G,FMOS}$  der Gatekapazität, sowie der Ladung  $Q_{OSS,FMOS}$  der Ausgangskapazität auf die Schaltverluste  $P_{SW,FMOS}$  des F-MOS. Für geringe Werte von  $Q_{rr,FMOS}$  ergeben sich die geringsten Verluste  $P_{SW,FMOS}$ , die mit höheren Ladungsmengen  $Q_{rr,FMOS}$  ansteigen. Der Einfluss von  $Q_{G,FMOS}$ , sowie von  $Q_{OSS}$  ist für Werte  $Q < 10$  nC nahezu konstant.  $Q_{rr,FMOS}$  hat den größten Einfluss auf  $P_{SW,FMOS}$ .

Eine Optimierung des F-MOS bezüglich der Schaltverluste  $P_{SW,FMOS}$  zielt auf günstige Eigenschaften der Body-Diode, speziell kleinen Werten für die Ladung  $Q_{rr,FMOS}$  ab. Analog zum S-MOS verringern geringe Werte für  $R_{DS,on,FMOS}$  die Leitungsverluste  $P_{COND,FMOS}$  des F-MOS und damit die Gesamtverluste  $P_{V,LCMPPT}$ .

#### Treiber:

Der MOSFET-Treiber stellt zwei getrennte PWM-Signale für die Ansteuerung des S- und des F-MOS bereit. Eine Stromverstärkung des Signals des  $\mu C$  ermöglicht hohe Lade-  $I_{on,Treiber}$  und Entladeströme  $I_{off,Treiber}$  zum Umladen der Ladung  $Q_{G,MOS}$  der Gatekapazität der MOSFETs, wodurch die Einschalt-  $t_{SW,on,MOS} = Q_{G,MOS} / I_{on,Treiber}$  und Ausschaltzeit  $t_{SW,off,MOS} = Q_{G,MOS} / I_{off,Treiber}$  der MOSFETs verringert werden. Die Verluste  $P_{SW,on,SMOS}$  während des Einschalt- bzw.  $P_{SW,off,SMOS}$  während des Ausschaltvorgangs der MOSFETs sinken. Mit steigender Gate-Source-Spannung  $V_{GS,Treiber}$  des Treibers steigt die Ladung  $Q_{G,MOS}$  der Gatekapazität und  $R_{DS,on,MOS}$  sinkt [13].

Die Wahl der Gate-Source-Spannung  $V_{GS,Treiber}$  des Treibers stellt einen Kompromiss zwischen Minimierung der Leitungsverluste  $P_{COND,MOS}$  über  $R_{DS,on,MOS}$  und der Schaltverluste  $P_{SW,MOS}$  über  $Q_{G,MOS}$ , speziell des S-MOS dar.

#### Induktivität $L_{MY}$ :

Unter Vernachlässigung des Spannungsfalls durch die Diode  $V_f$ , sowie des Spannungsrippels  $\Delta V$  an den Ausgangsklemmen des  $LCMPPT$ , ist die Induktivität  $L_{MY} = V_{MY} (1 - d) d / (\Delta I f_{PWM})$  näherungsweise abhängig

von der maximalen Eingangsspannung  $V_{MY,max} < V_{OC,MX}$  des PV-Moduls, dem duty cycle  $d$ , dem Stromripple  $\Delta I$  an den Ausgangsklemmen des  $LCMPPT$ , sowie der Schaltfrequenz  $f_{PWM}$ . **Fehler! Verweisquelle konnte nicht gefunden werden.** Zusätzlich bestimmt der Direct-Current-Widerstand  $DCR_{L,MY}$  maßgeblich die Leitungsverluste  $P_{V,L,MY}$  der Induktivität  $L_{MY}$ .

Bild 9 beschreibt den Zusammenhang zwischen der Induktivität  $L_{MY}$  und dem resultierenden Stromripple  $\Delta I$ , sowie des  $DCR_{L,MY}$ . Sinkende Induktivitätswerte von  $L_{MY}$  erhöhen den resultierenden Stromripple  $\Delta I$ , der bei  $d = 50\%$  maximal wird. Für Induktivitätswerte  $L_{MY} < 22\ \mu\text{H}$  steigt der Stromripple überproportional an. Je größer der Stromripple  $\Delta I$ , desto größer wird die erforderliche Filterkapazität  $C_{MY,2} \sim \Delta I$  und steigert damit die Gesamtkosten [14].

Mit steigenden Induktivitätswerten steigt der  $DCR_{L,MY}$  und damit die Leitungsverluste für handelsübliche Induktivitäten näherungsweise linear an [15].

Hohe Induktivitätswerte bedingen einen größeren Einsatz an Kupfer und Kernmaterial und steigern bei Leistungsrosseln mit einer Strombelastung von  $I_{rms} > 10\ \text{A}$  im Allgemeinen die Bauteilkosten [16].

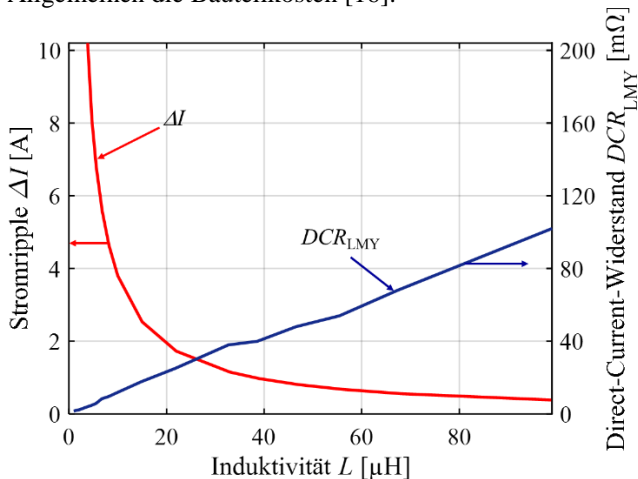


Bild 9: Maximaler Stromripple  $\Delta I$  bei  $d = 50\%$  an den Ausgangsklemmen des  $LCMPPT$  und  $DCR_{L,MY}$  in Abhängigkeit der Induktivität  $L_{MY}$ . Für Induktivitätswerte  $L_{MY} < 22\ \mu\text{H}$  steigt der  $\Delta I$  überproportional an. Steigende Induktivitätswerte  $L_{MY}$  erhöhen den  $DCR_{L,MY}$  näherungsweise linear und damit die Leitungsverluste  $P_{V,LCMPPT}$  des  $LCMPPT$  [10], [15].

## 5. BAUTEIL AUSLEGUNG

Eine Optimierung der Bauteile des  $LCMPPT$  zielt vorrangig auf geringe Kosten bei gleichzeitiger Minimierung der Verlustleistung  $P_{V,LCMPPT}$  ab.

Die Induktivität stellt mit Bauteilkosten  $3\ \text{€} < K_{L,MY} < 5\ \text{€}$  [16] auf Grund des hohen Materialeinsatzes von Kernmaterial und Kupfer den größten Posten für die Kosten des  $LCMPPT$  dar. Für low-cost Anwendungen ist daher der Wert der Induktivität  $L_{MY}$  so gering wie möglich zu wählen. Zusätzlich sinkt der  $DCR_{L,MY}$  für kleinere Werte der Induktivität  $L_{MY}$  und reduziert die Leitungsverluste  $P_{V,L,MY}$  maßgeblich.

Die Abhängigkeiten in Bild 10 zeigen, dass eine Erhöhung der Schaltfrequenz  $f_{PWM}$  eine Verringerung der Induktivität  $L_{MY}$  bewirkt, jedoch erhöhen sich zeitgleich die Schaltverluste der MOSFETs und der Wirkungsgrad

$\eta_{LCMPPT}$  sinkt. Eine Schaltfrequenz  $f_{PWM} > 200\ \text{kHz}$  sollte im Hinblick auf die Induktivität  $L_{MY}$  gewählt werden. Der  $\mu\text{C}$  gibt, bedingt durch seine interne  $CPU\text{-Clock} = 2^n\ \text{Hz}$  ( $n = 1, 2, 3, \dots$ ), die Schrittweite der Schaltfrequenz  $f_{PWM} = CPU\text{-Clock} / 2^8$ . Für eine Schaltfrequenz  $f_{PWM} = 2^6\ \text{MHz} / 2^8 = 250\ \text{kHz}$  und einem erlaubten Stromripple von  $\Delta I < 0,2\% I_{St}$  ergeben sich für Modulspannungen  $V_{OC,MX} = 37\ \text{V}$  und  $d = 50\%$  maximale Werte  $L_{MY} > V_{MY} (1 - d) d / (\Delta I f_{PWM}) > 18,5\ \mu\text{H}$ . Für handelsübliche Induktivitäten  $L_{MY} = 22\ \mu\text{H}$  reduziert sich der Wirkungsgrad  $\eta_{LCMPPT}$  für  $d = 50\%$  um ca. 2% gegenüber dem inaktiven Schaltbetrieb des  $LCMPPT$ . Der Wirkungsgrad sinkt mit kleinerem duty cycle  $d$ . Kostengünstige Induktivitäten weisen für  $L_{MY} = 22\ \mu\text{H}$  einen  $20\ \text{m}\Omega < DCR_{L,MY} < 30\ \text{m}\Omega$  auf [16], [15].

Eine Reduktion des  $DCR_{L,MY}$  der Induktivität  $L_{MY}$  erhöht die Bauteilkosten  $K_{L,MY}$  und ist für eine low-cost Anwendung nicht zielführend.

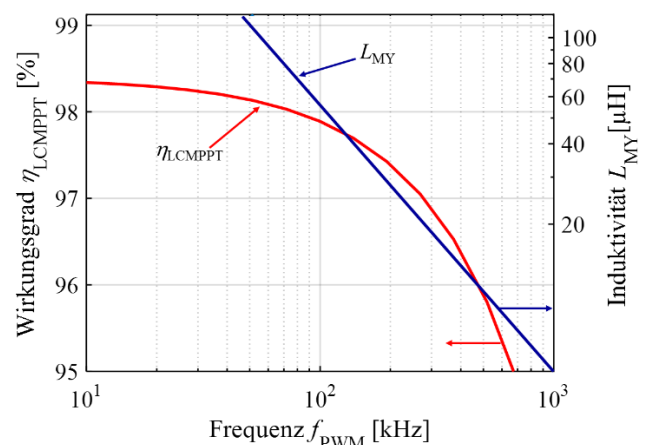


Bild 10: Wirkungsgrad  $\eta_{LCMPPT}$  und Induktivität  $L_{MY}$  in Abhängigkeit der Schaltfrequenz  $f_{PWM}$  für  $d = 50\%$ . Für  $f_{PWM} < 200\ \text{kHz}$  ergeben sich überproportional steigende Werte für  $L_{MY}$ .  $\eta_{LCMPPT}$  sinkt mit steigender Schaltfrequenz  $f_{PWM}$  auf Grund zunehmender Schaltverluste der MOSFETs.

Eine Auslegung der MOSFETs entsprechend des Einsatzes als S- oder F-MOS und deren Verluste an ihren vorwiegenden Arbeitspunkten ist vorzusehen. Die Kosten der MOSFETs sind mit Beträgen  $K_{MOS} > 0,5\ \text{€}$  gering gegenüber der Induktivität  $L_{MY}$ .

Ohne Verschattung setzt der  $\mu\text{C}$   $d = 100\%$  und schließt den S-MOS dauerhaft. Für die Auslegung des S-MOS ist daher ein geringer Leitungswiderstand  $R_{DS,on,S,MOS}$  entscheidend, um die Verluste zu minimieren. Für eine Schaltfrequenz  $f_{PWM} = 250\ \text{kHz}$  reduziert eine geringe Gate-Drain-Ladung  $Q_{GD,S,MOS}$ , sowie eine geringe Gate-Source-Ladung  $Q_{GS,S,MOS}$  die Schaltverluste  $P_{SW,S,MOS}$  während des Betriebes des  $LCMPPT$ . Der  $R_{DS,on,MOS}$  bei MOSFETs sinkt mit zunehmender Breite des leitenden Kanals  $b_{MOS}$  und der angelegten Spannung  $V_{GS,Treiber}$ , jedoch steigt die Ladung der Gatekapazität  $Q_{G,MOS}$ . Eine Optimierung bezüglich beider Parameter des MOSFETs bildet daher einen Kompromiss [13].

Der  $LCMPPT$  betreibt den F-MOS ausschließlich im aktiven Schaltbetrieb. Der F-MOS ist vorrangig bezüglich

günstiger Eigenschaften der Body-Diode mit kleiner Ladung  $Q_{tr,FMOS}$  und einer kleinen Ladung  $Q_{G,FMOS}$  der Gatekapazität zu wählen.

Bild 11 verdeutlicht das Potential zur Minimierung der Verlustleistung  $P_{V,MOS}$  durch eine angepasste Auswahl der MOSFETs. Die Optimierung des S-MOS bezüglich  $R_{DS,on,SMOS}$ ,  $Q_{GD,SMOS}$  und  $Q_{GS,SMOS}$  reduziert die Verlustleistung  $P_{SW,SMOS}$  um 53 % und stellt damit das größte Optimierungspotential dar. Günstige Eigenschaften der Body-Diode des F-MOS reduzieren die Verlustleistung  $P_{SW,FMOS}$  um 49 %. Die Leitungsverluste  $P_{COND,MOS}$  steigen auf Grund des größeren  $R_{DS,on,FMOS}$  des FMOS, jedoch reduzieren sich die Verluste  $P_{V,MOS}$  der MOSFETs um 31,6 %. Mit Leitungsverlusten  $P_{V,LMY} = konst.$  der Induktivität  $L_{MY}$  sinkt die Verlustleistung des LCMPT um 17 % und der Wirkungsgrad steigt. Die Eigenschaften der gewählten MOSFETs listet Anhang 2 auf.

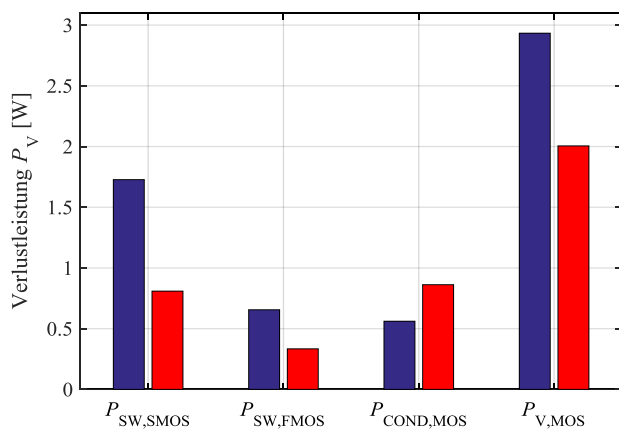


Bild 11: Reduzierung der einzelnen Verlustleistungen des LCMPT durch Optimierungsmaßnahmen bei einer Schaltfrequenz  $f_{PWM} = 250$  kHz. Eine geeignete Auswahl des S-MOS liefert mit 53 % das größte Potential zur Reduktion der Verluste  $P_{SW,SMOS}$ . Die gesamte Verlustleistung  $P_{V,MOS}$  der MOSFETs reduziert sich um 31,6 %.

6. INAKTIVER BETRIEB

Ohne Modulverschattung ist der LCMPT inaktiv und vermeidet unnötige Verluste.

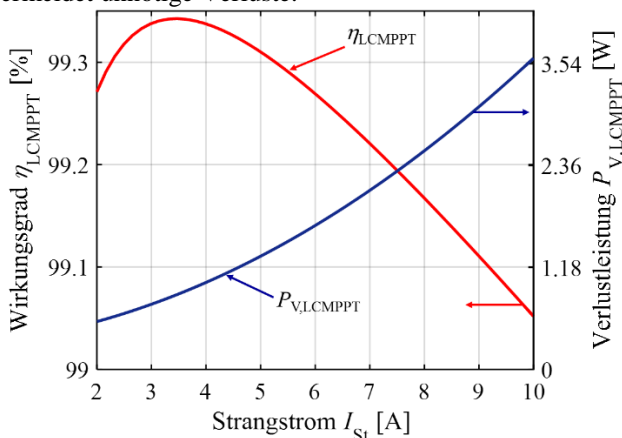


Bild 12 zeigt den Wirkungsgrad  $\eta_{LCMPT}$  eines durch  $d = 100$  % inaktiven LCMPT und die Verlustleistung  $P_{V,LCMPT}$  des LCMPT für eine Bauteilauslegung aus Kapitel 5 und einer Schaltfrequenz  $f_{PWM} = 250$  kHz über dem Strangstrom  $I_{St}$ .

Unter Vernachlässigung der Standby-Verluste des  $\mu C$  und des Treibers reduziert sich die Verlustleistung auf den Direct-Current-Widerstand  $DCR_{LMY} = 25$  m $\Omega$  der Induktivität  $L_{MY}$  und den Leitungswiderstand  $R_{DS,on,SMOS} = 5,7$  m $\Omega$  des S-MOS. Induktivität  $L_{MY}$  und S-MOS verursachen eine mit dem Strangstrom quadratisch steigende Verlustleistung  $P_{V,LCMPT} \approx (DCR_{LMY} + R_{DS,on,SMOS}) I_{St}^2 < 1,5 \% P_{MX}$  der Modulleistung  $P_{MX}$ . Mit sinkendem Strangstrom  $I_{St}$  reduziert sich die Verlustleistung  $P_{V,LCMPT}$  und der Wirkungsgrad  $\eta_{MX}$  steigt. Der LCMPT erreicht bei üblichen Modulspannungen  $20$  V  $< V_{MY,MPP} < 30$  V unverschattet einen Wirkungsgrad  $\eta_{LCMPT} > 99$  % bei kostenoptimierter statt wirkungsgradoptimierter Auslegung.

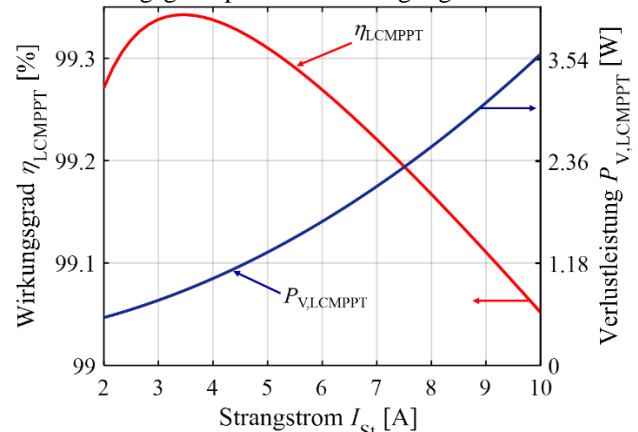


Bild 12: Verlustleistung  $P_{V,LCMPT}$  durch  $DCR_{LMY}$  der Induktivität  $L_{MY}$  und  $R_{DS,on,SMOS}$  des S-MOS über dem Strangstrom  $I_{St}$  bei inaktivem LCMPT. Mit sinkendem Strangstrom bei Schwachlicht, sinkt  $P_{V,LCMPT}$  und der Wirkungsgrad  $\eta_{LCMPT}$  steigt. Bei üblichen Modulspannungen  $20$  V  $< V_{MX,MPP} < 30$  V ist der Wirkungsgrad  $\eta_{LCMPT} > 99$  %.

Der inaktive LCMPT begünstigt den Energieertrag ohne Schatten und bei Schwachlicht. Zusätzlich belastet der inaktive LCMPT den S-MOS, sowie passive Bauteile, wie  $L_{MY}$ ,  $D_{MY}$ ,  $C_{MY,1}$ ,  $C_{MY,2}$  nur stationär. Die Lebensdauer der Bauteile steigt und deren Ausfallwahrscheinlichkeit sinkt.

7. ZUSAMMENFASSUNG

Der LCMPT basiert auf der Topologie eines synchron schaltenden Tiefsetzstellers. Die Anordnung von S- und F-MOS erlaubt den Betrieb des LCMPT mit  $d = 100$  % trotz Verwendung von zwei kostengünstigeren n-Kanal MOSFETs. Die Aktivierung des LCMPT über den Strangwechsellrichter benötigt keine Kommunikation zwischen den einzelnen Modulen eines PV-Strangs.

Der aktive Schaltbetrieb des LCMPT ist nur bei Teilverschattung eines PV-Moduls erforderlich. Der LCMPT betreibt ein teilverschattetes Modul  $M_Y$  im MPP mit einer Leistung  $P_{MY,MPP} > 0$  W und die Strangleistung steigt gegenüber aktiven Bypass-Dioden. Ohne Verschattung setzt der  $\mu C$   $d = 100$  %, der S-MOS ist dauerhaft geschlossen. Es entstehen keine Schaltverluste und der LCMPT erreicht einen Spitzenwirkungsgrad  $\eta_{LCMPT} > 99$  %. Der inaktive LCMPT erhöht die Lebensdauer der Bauteile und senkt deren Ausfallwahrscheinlichkeit. Die genaue Betrachtung der einzelnen Bauteile bezüglich der Verluste

am vorherrschenden Arbeitspunkt erlaubt eine optimierte Auslegung und reduziert die Verlustleistung  $P_{V,LCMPPT}$ , sowie die Bauteilkosten.

**QUELLEN:**

- [1] D. Stellbogen, P. Lechner, M. Senger, in proc. 32nd EUPVSEC, (WIP, Munich 2016), p. 1508
- [2] R. Merz, Patent DE 10 2011 111 255B4
- [3] T. Czarniecki, A. Schneck, R. Merz, in proc. 32<sup>nd</sup> EUPVSEC, edited by M. TOPIČ, N. Taylor, P. Helm (WIP, Munich 2016), p. 1641
- [4] J. P. Bazinet, J. A. O'Connor, DC/DC converter having a bootstrapped high side driver, Patent US 5627460, 28. Dez. 1994
- [5] R. S. Chau, CMOS integrated circuit having PMOS and NMOS devices with different gate dielectric layers, Patent US 5763922, 28. Feb. 1997
- [6] HJ Li, M.I. Gardner, Dual High- $\kappa$  Gate Dielectric With Poly Gate Electrode: HfSiON on nMOS and Al<sub>2</sub>O<sub>3</sub> Capping Layer on pMOS, IEEE ELECTRON DEVICE LETTERS, VOL. 26, NO. 7, JULY 2005, p. 441 - 444
- [7] <http://www.mikrocontroller.net/articles/Treiber>
- [8] Using MOSFETs in Load Switch Applications, ON Semiconductor Components Industries, Application Note AND9093-D, February 2014-Rev. 1,
- [9] Atmel 8-bit AVR Microcontroller with 2/4/8K Bytes In-System Programmable Flash, Datasheet Atmel Rev. 2586Q-AVR, Aug. 2013
- [10] D. Jauregui, B. Wang, R. Chen, Power Loss Calculation With Common Source Inductance Consideration for Synchronous Buck Converters, Texas Instruments, Application Report SLPA009A, July 2011
- [11] D. Graovac, M. Pürschel, A. Kiep, MOSFET Power Losses Calculation Using the Data-Sheet Parameters, Infineon Application Note, 31.07.2006
- [12] PV-Modul Solarwatt Blue P60 – 250Wp polykristallin, Solarwatt
- [13] LM5104 High-Voltage Half-Bridge Gate Driver With Adaptive Delay, Datasheet Texas Instruments SNVS269D, Dec. 2014
- [14] E. Wang, Current Ripple Factor of a Buck Converter, RICHTEK Application Note AN010, Apr. 2014
- [15] SRP1770TA Series - Shielded Power Inductors, Datasheet Bourns
- [16] <http://de.farnell.com>



**ANHANG 1:**

Medianwerte aus 6 MOSFETs entsprechend der Anforderungen aus **Fehler! Verweisquelle konnte nicht gefunden werden..** Maximum Ratings @ +25 °C

<b>Schalttransistor S-MOS</b>	$R_{DS,on,SMOS}$	5,6	[mW]	Drain-Source-Widerstand
	$R_{G,SMOS}$	1,4	[W]	Gatewiderstand
	$V_{PL,SMOS}$	4,6	[V]	Plateau-Spannung
	$V_{GS,th,SMOS}$	2,5	[V]	Gate-Source-Schwellenspannung
	$Q_{GD,SMOS}$	6	[nC]	Ladung der Gate-Drain-Kapazität
	$Q_{OSS,SMOS}$	14	[nC]	Ladung der Ausgangskapazität
	$Q_{GS,SMOS}$	16,5	[nC]	Ladung der Gate-Source-Kapazität
	$Q_{G,SMOS}$	35	[nC]	Ladung der Gatekapazität
<b>Freilauftransistor F-MOS</b>	$R_{DS,on,FMOS}$	5,6	[mW]	Drain-Source-Widerstand
	$V_{f,FMOS}$	1,25	[V]	Durchlassspannung der Body-Diode
	$Q_{rr,FMOS}$	32,5	[nC]	Reverse-Recovery-Ladung der Body-Diode
	$Q_{OSS,FMOS}$	14	[nC]	Ladung der Ausgangskapazität
	$Q_{G,FMOS}$	35	[nC]	Ladung der Gatekapazität

Quelle Datasheet: DMN4010LK3, CSD18531Q5A, INFINEON AUIRF4104S,  
PSMN5R8-40YS, FDS5672, INFINEON BSC035N04LSGATMA1,

**ANHANG 2:**

Optimierte Werte für Schalt- und Freilauftransistor bezüglich der Verlustleistung  $P_{V, MOS}$ .

<b>Schalttransistor S-MOS</b>	$R_{DS,on,SMOS}$	5,7	[mW]	Drain-Source-Widerstand
	$R_{G,SMOS}$	0,53	[W]	Gatewiderstand
	$V_{PL,SMOS}$	5,7	[V]	Plateau-Spannung
	$V_{GS,th,SMOS}$	4	[V]	Gate-Source-Schwellenspannung
	$Q_{GD,SMOS}$	7,8	[nC]	Ladung der Gate-Drain-Kapazität
	$Q_{OSS,SMOS}$	14,208	[nC]	Ladung der Ausgangskapazität
	$Q_{GS,SMOS}$	4,47	[nC]	Ladung der Gate-Source-Kapazität
	$Q_{G,SMOS}$	28,8	[nC]	Ladung der Gatekapazität
<b>Freilauftransistor F-MOS</b>	$R_{DS,on,FMOS}$	11,5	[mW]	Drain-Source-Widerstand
	$V_{f,FMOS}$	-	[V]	Durchlassspannung der Body-Diode
	$Q_{rr,FMOS}$	5,4	[nC]	Reverse-Recovery-Ladung der Body-Diode
	$Q_{OSS,FMOS}$	4,995	[nC]	Ladung der Ausgangskapazität
	$Q_{G,FMOS}$	37	[nC]	Ladung der Gatekapazität

Quelle Datasheet S-MOS: PSMN5R8-40YS  
F-MOS: DMN4010LK3